

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332202

(43)Date of publication of application : 30.11.2000

(51)Int.Cl. H01L 27/04
H01L 21/822
H01L 21/3205
H01L 27/10

(21)Application number : 11-135546 (71)Applicant : NEC CORP
(22)Date of filing : 17.05.1999 (72)Inventor : WATANABE MASAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which many plasma damages are avoided when forming wiring.

SOLUTION: In this semiconductor device functional elements 10 and a dummy chip 12 are mounted on a mounting substrate 14. A chip packaging the functional elements 10 such as DRAMFlashBip and MPU and a chip for the exclusive use of I/O are mounted on the substrate 1 and one or more dummy chips in which a functional elements do not exist are arranged. The film of each chip is worked so as to be made as thinly and uniformly as possible.

CLAIMS

[Claim(s)]

[Claim 1] A functional device.

A mounting board in which it was electrically connected to and a dummy chip was carried without a crevice.

It is the semiconductor device provided with the above and an electric charge by a plasma damage produced at the time of wiring formation between said functional devices flows into said dummy chip.

[Claim 2] A semiconductor device comprising:

A functional device provided with a various function realized with a semiconductor

device.

A mounting board in which it electrically connected with and a dummy chip which is a raw material which can make a semiconductor device and does not have said various function and said functional device and said dummy chip were carried without a crevice.

[Claim 3] The semiconductor device according to claim 2 wherein said functional device is at least one of RAM, MPU, a flash memory, ROM and I/O chips.

[Claim 4] The semiconductor device according to claim 2 or 3 wherein said dummy chip is only a silicon substrate.

[Claim 5] The semiconductor device according to claim 2 or 4 wherein said dummy chip lets plasma at the time of semiconductor wiring formation pass without having two or more diode elements and said diode element functioning as a circuit apparatus.

[Claim 6] The semiconductor device according to claim 5 wherein said two or more diode elements are uniformly formed on a silicon substrate at array form.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention embeds a dummy chip in order to bury the crevice between functional devices; it relates to the semiconductor device which avoids many plasma damages at the time of wiring formation and relates to the semiconductor device using the previous process of a semiconductor and similar art at the time of the bare chip mounting of a chip.

[0002]

[Description of the Prior Art] The integrated circuit with an example of multi-chip mounting using the conventional planar technique given in JP54-84984A is proposed. However, the example to which an integrated circuit given in JP54-84984A uses CVD of 1 or less μm for an interlayer film at an example given in a gazette is indicated.

[0003] The conventional division integrated circuit and an example of the production technology are indicated to JP7-202115A. Manufacture of the semiconductor device indicated in this gazette arranges to a position two or more IC bare chips of the state started from the semiconductor wafer. Carry out a temporary stop and two or more IC bare chips have been temporarily fixed [which is temporarily fixed on the temporary stop surface which has physical bearing power so that the temporary stop surface and the circuit formation side of an IC bare chip may contact] on the temporary stop surface. It pastes up and the state which pastes up a circuit formation side and the field of an opposite hand on two or more IC bare chips and is fixed to the supporting board which has physical bearing power where it was temporarily fixed on the

temporary stop surface is canceled.

[0004]

[Problem(s) to be Solved by the Invention]The average interval during a chip chip is about 50 μm and the integrated circuit given in JP54-84984A does not assume embedding between chips from the beginning.

[0005]That is submicron control of the outside variation of each bare chip is difficult and the number μm and a vertical and horizontal dimension also have an error of the number μm by chip thickness. A chip cannot be correctly arranged to a position. The chip interval in consideration of some position shifts is required. Though the thickness of tip is made thin the thickness of several 10 μm (s) is still more nearly required for it and the tens of microns huge slot will exist between chips. The thickness of the wiring between chips used with planar technique is about 1 μm of width before and after 2 μm . Since it is difficult to expose the vertical field which exists between chips wiring ranging over this huge slot is next to impossible. In this case it is impossible to embed between chip chips with an interlayer insulation film.

[0006]Since the conventional chip mounting methods such as MCM use aerial wirings such as wire bonding there is no necessity for a dummy chip. However in this method wiring density falls compared with the wiring formation by planar technique. A protective transistor (I/O buffer) is required because of the prevention from an ESD breakdown at the time of bonding. the manufacturing cost by the mismatch of the characteristic for which the rate of information throughput during a chip will decrease sharply if an I/O buffer exists and also increase of a chip size and an I/O transistor are asked and the characteristic for which a transistor is usually asked -- increasing . In the aerial wiring method problems such as difficulty had formation of the multilevel interconnection which straddles between chips. Manufacture of the semiconductor device of a statement might also have the above-mentioned problem in JP7-202115A.

[0007]This invention makes a dummy chip exist in the crevice during a chip so that it may be easy to fill up between chips with an embedding material and is to keep a large crevice from arising between chips. Although it is also possible to carry out as [make / between chips / furthermore provide restriction in the size of a functional device and / a crevice] the chip cost of the functional device itself will be raised. Compared with a functional device since a dummy chip can be cheap and can be manufactured by short TAT (Turn Around Time) it can realize increase of design flexibility and low cost-ization.

[0008]The purpose of this invention mounts a functional device and a dummy chip and there is in providing the semiconductor device which avoids a plasma damage.

[0009]

[Means for Solving the Problem]In a semiconductor device with which a functional device and a dummy chip are provided with a mounting board which was electrically connected and was carried without a crevice an electric charge by a plasma damage produced at the time of wiring formation between said functional devices flows

through a semiconductor device of this invention into said dummy chip.

[0010]A functional device provided with a various function which realizes a semiconductor device with a semiconductor device. It has a mounting board in which it is electrically connected with and a dummy chip which is a raw material which can make a semiconductor device and does not have said various function and said functional device and said dummy chip were carried without a crevice.

[0011]

[Embodiment of the Invention]The composition of the example of this invention is explained in detail with reference to drawing 1 - drawing 4. Drawing 1 shows the chip plot plan of the mounting board of this invention. Drawing 2 is a figure showing the section of the dummy chip of this invention. Drawing 3 is the figure which arranged the diode of this invention in array form. Drawing 4 is a figure showing the diode connection of this invention.

[0012]The semiconductor device of this invention carries the functional device 10 and the dummy chip 12 to the mounting board 14 as shown in drawing 1. The chip only for I/O besides the chip which carries the functional devices 10 such as DRAM, Flash, Bipolar and MPU is carried in the mounting board 14 and the one or more dummy chips 12 in which a functional device does not exist are arranged. At this time the thickness of each chip is processed so that it may become uniform as thinly as possible.

[0013]However each chip size is various and when only the functional device 10 has been arranged to the mounting board 14 the case where a crevice occurs between crevice chips produces it. The one or more dummy chips 12 in which the functional device 10 with the same thickness as the functional device 10 does not exist are arranged so that this crevice may be buried. A large crevice can be prevented from arising between chips by this. The electric charge at the time of wiring formation misses this dummy chip 12 and it forms the diode element as a field.

[0014]As shown in drawing 1 in the mounting board which all the bare chips were made to approach and has been arranged it is necessary to arrange the dummy chip 12 so that a large crevice may not be made between chips. Although wiring between chips is formed on the dummy chip 12 when performing plasma treatments such as dry etching and CVD at the time of the wiring formation between chips wiring serves as an antenna electric charges are collected and there is a problem that the transistor connected to the wiring will be destroyed. By forming a protective diode into a dummy chip there is a duty which prevents destruction of the device by this charge up.

[0015]As shown in drawing 2 the formation method of a diode element uses the LOCOS (Local Oxidation of Silicon) method for P type silicon performs partial oxidation (3000Å) and it opens the window of the diffusion zone. Then Phosphorus or arsenic is injected into a front face and the opening of the contact hole of about 0.6 μm of a diffusion-zone part is carried out. Then weld slag is performed on the whole surface in order of Ti (300Å) TiN (1000Å) and AlSiCu (5000Å) so that a contact hole may be

covered. Then aluminum is patterned and the cover membrane of Si₃N₄ (10000Å) / SiO₂ (1200Å) structure is formed.

[0016] This diode element is arranged in array form all over the dummy chip as shown in drawing 3. The dummy chip which carries a diode element is completed by using four masks. At this time more ones of the number of diodes are good.

[0017] Next system which carries two or more chips which carry each functional device in below on one substrate and wires by the same method as a semiconductor previous process. One The manufacture procedure of AMOJURU is explained.

[0018] The target LSI chip is first created independently by the publicly known method from the former. The kind of LSI to create may be constituted from devices such as DRAM, Flash, Bipolar and MPU and what kind of combination may be used for it according to the purpose. At this time it is ideal not to carry I/O in each chip but to prepare the chip only for I/O. Raw materials other than Si such as GaAs may be used. Each chip is manufactured in the optimal diffusion process respectively. (As for micro-processing serious consideration and Flash reliability serious consideration and MPU of DRAM are high speed and multilevel interconnection serious consideration.) System which loads these together for one chip. One ACHIPPU causes the yield lowering by chip size increase, the performance degradation by the mismatch of the optimal manufacturing process of each function, cost escalation and long TAT-ization. A chip is separated from a wafer by a publicly known method after this. As for the thickness of a chip at this time it is desirable to make it as thin as possible. Generally a wafer back face is ground to about 250 μm using a publicly known method and after separating a chip it thins-film-izes so that an etching process on the back may be performed by a publicly known method and it may be set to 100 or less μm. A chip is kept as a parent chip in this stage. At this time memory chips need to arrange two or more chip sizes according to capacity.

[0019] Then each bare chip on a mounting board is made to approach a number μm interval by a publicly known method and surface height is doubled and it fixes. When all the chip intervals can be approached only by the functional device 10 and there is nothing the dummy chip 12 containing a diode element is carried in a blank region.

[0020] Then flattening processing which embeds the slot which exists between chips is performed. The embedding during a chip has the method of slushing into a slot fluid system SiO₂ which is a publicly known method and solidifying a method of sticking a thin Saran Wrap-like insulation sheet on the surface, the method of being brush-like things and applying adhesives to the surface and slushing adhesives into a slot etc. At this time a level difference will occur between chips. In this case wiring between chips by the same planar technique as a semiconductor previous process becomes impossible and it is a system. An ONA module is unrealizable.

[0021] Then as shown in drawing 4 wiring between chips is performed using the same technique as a semiconductor previous process. Contact is taken to a necessary part and diode connection is performed. At this time the wiring between chips which runs

on a dummy chip has the length of mm unit and is exposed to many plasma damages at the time of wiring formation. Wiring will be covered with an electric charge by the charge up and the electric charge which lost the refuge will destroy the gate oxide of the transistor connected to the wiring. If (the lateral area of wiring) / (area of the gate oxide connected) ratio generally exceeds 10000 the yield lowering by gate oxide destruction will occur. If the wiring in which gate oxide destruction is suspected is connected to the diode element on a dummy chip the electric charge which collected during wiring can prevent destruction of a transistor by escaping to a dummy chip.

[0022] Next other examples of this invention are described. You may be the structure of an electric charge missing to it and establishing a field in it in order to protect a functional device in an above-mentioned dummy chip from the plasma damage at the time of the wiring formation between chips. It is the structure of forming a dummy chip in a P type Si substrate and specifically providing the field of much N type into it. Although this is not helpful as a functional device it can protect a functional device from the plasma damage at the time of wiring formation by connecting wiring between chips and N type region.

[0023]

[Effect of the Invention] Since the semiconductor device of this invention is exposed to many plasma damages at the time of wiring formation it can prevent destruction of a functional device by missing the electric charge which collected during wiring to a dummy chip by connecting the wiring in which gate oxide destruction is suspected to the diode element on a dummy chip. The crevice between functional devices can be made small by a dummy chip. The yield can be raised by these and it becomes possible to shorten the manufacturing process of a device.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The chip plot plan of the mounting board of this invention is shown.

[Drawing 2] It is a figure showing the section of the dummy chip of this invention.

[Drawing 3] It is the figure which arranged the diode of this invention in array form.

[Drawing 4] It is a figure showing the diode connection of this invention.

[Description of Notations]

10 Functional device

12 Dummy chip

14 Mounting board

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-332202
(P2000-332202A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl. ⁷	識別記号	F I	テ-リ-ト*(参考)
H 0 1 L 27/04		H 0 1 L 27/04	H 5 F 0 3 3
21/822		27/10	4 6 1 5 F 0 3 8
21/3205		21/88	A 5 F 0 8 3
27/10	4 6 1		

審査請求 有 請求項の数6 O L (全 5 頁)

(21)出願番号 特願平11-135546

(22)出願日 平成11年5月17日(1999.5.17)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 渡邊 正樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100086645

弁理士 岩佐 義幸

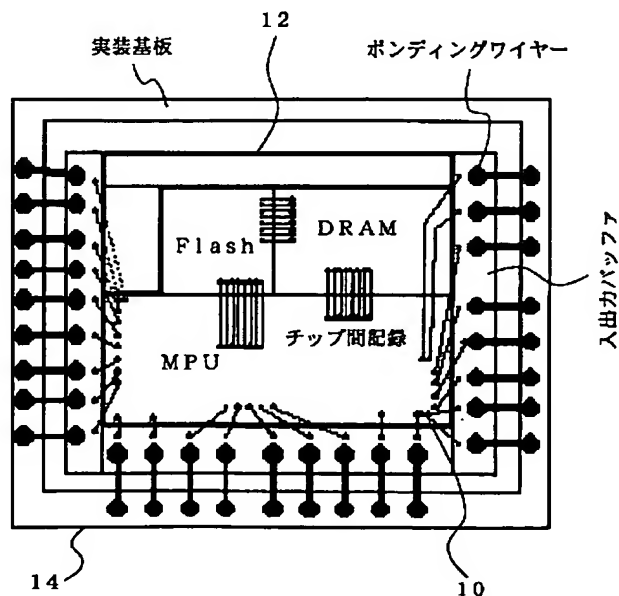
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 配線形成時に多くのプラズマダメージを回避する半導体装置を提供する。

【解決手段】 機能素子10とダミーチップ12とを実装基板14へ搭載するものである。実装基板14には、DRAM、Flash、Bip、MPU等の機能素子10を搭載したチップの他、I/O専用チップが搭載され、機能素子の存在しないダミーチップ12を1つ以上配置する。各チップの膜厚は出来る限り薄く均一になる様に加工されている。



【特許請求の範囲】

【請求項１】機能素子と、ダミーチップとが電氣的に接続され、隙間無く搭載された実装基板を備える半導体装置において、

前記機能素子間の配線形成時に生じるプラズマダメージによる電荷が前記ダミーチップへ流れることを特徴とする半導体装置。

【請求項２】半導体デバイスで実現する各種機能を備えた機能素子と、

半導体デバイスを作り込むことが可能な素材であり前記各種機能を持たないダミーチップと、

前記機能素子と前記ダミーチップとを電氣的に接続し、隙間無く搭載した実装基板と、を備えることを特徴とする半導体装置。

【請求項３】前記機能素子は、RAM、MPU、フラッシュメモリ、ROMおよびI/Oチップのうち少なくとも１つであることを特徴とする請求項２記載の半導体装置。

【請求項４】前記ダミーチップは、シリコン基板のみであることを特徴とする請求項２または３記載の半導体装置。

【請求項５】前記ダミーチップは、複数のダイオード素子を有し、前記ダイオード素子が回路装置として機能することなく、半導体配線形成時のプラズマを通すことを特徴とする請求項２、３または４記載の半導体装置。

【請求項６】前記複数のダイオード素子は、シリコン基板上にアレイ状に一樣に形成されることを特徴とする請求項５記載の半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、機能素子の隙間を埋めるためにダミーチップを埋め込み、配線形成時に多くのプラズマダメージを回避する半導体装置に係り、チップのベアチップ実装時に半導体の前工程プロセスと類似した技術を用いる半導体装置に関する。

【０００２】

【従来の技術】従来のプレーナー技術を用いたマルチチップ実装の一例が、特開昭５４－８４９８４号公報に記載の半導体集積回路が提案されている。しかしながら特開昭５４－８４９８４号公報に記載の半導体集積回路は、公報記載の実施例には層間膜に１μm以下のCVDを用いる例が記載されている。

【０００３】また、さらに従来の分割半導体集積回路およびその製造技術の一例が、特開平７－２０２１１５号公報に記載されている。この公報に記載された半導体装置の製造は、半導体ウエハから切り出したままの状態の複数のICベアチップを所定の位置に配置し、物理的支持力を有する仮止め表面上に、仮止め表面とICベアチップの回路形成面とが接触するように一時的に固定する

的に固定したまま、物理的支持力を有する支持基板に、複数のICベアチップに回路形成面と反対側の面を接着して固定する接着し、仮止め表面上に一時的に固定された状態を解除するものである。

【０００４】

【発明が解決しようとする課題】特開昭５４－８４９８４号公報に記載の半導体集積回路は、チップーチップ間の平均間隔は５０μm程度であり、最初からチップ間を埋め込むことを想定していないものである。

【０００５】つまり、各ベアチップの外形バラツキのサブミクロン制御が困難であり、チップ膜厚で数μm、縦横寸法も数μmの誤差がある。チップを正確に所定の位置に配置できない。多少の位置ズレを考慮したチップ間隔が必要である。さらにチップ厚は薄くするとともに数１０μmの厚みが必要であり、チップ間には数十ミクロンの巨大な溝が存在していることになる。プレーナー技術で用いられるチップ間配線の厚みは、２μm前後、幅１μm程度である。チップ間に存在する垂直な面を露光するのが困難なため、この巨大な溝をまたいで配線するのは不可能に近い。この場合、チップーチップ間を層間絶縁膜で埋め込むことは不可能である。

【０００６】MCM等の従来のチップ実装方式はワイヤボンディング等の空中配線を用いているため、ダミーチップの必要性はない。しかしながらこの方式では、プレーナー技術による配線形成に比べ、配線密度が落ちる。ボンディング時のESD破壊防止のため保護トランジスタ(I/Oバッファ)が必要である。I/Oバッファが存在するとチップ間の情報伝達速度が激減する他、チップサイズの増大、I/Oトランジスタに求められる特性と通常トランジスタに求められる特性とのミスマッチによる製造コストの増大する。空中配線方式では、チップ間をまたがる多層配線の形成が困難等の問題があった。またさらに特開平７－２０２１１５号公報に記載の半導体装置の製造でも上述の問題はあり得た。

【０００７】本発明は、チップ間を埋め込み材で充填しやすい様にダミーチップをチップ間の隙間に存在させ、チップ間に広い隙間が生じないようにすることにある。さらに機能素子の大きさに制限を設けてチップ間に隙間が出来ない様にすることも可能だが機能素子自体のチップコストを上昇させてしまう。機能素子に比べダミーチップは、安価および短TAT(Turn Around Time)で製造することができるため設計自由度の増大及び低コスト化を実現できる。

【０００８】本発明の目的は、機能素子とダミーチップとを実装し、プラズマダメージを回避する半導体装置を提供することにある。

【０００９】

【課題を解決するための手段】本発明の半導体装置は、機能素子と、ダミーチップとが電氣的に接続され、隙間無く搭載された実装基板を備える半導体装置において、

前記機能素子間の配線形成時に生じるプラズマダメージによる電荷が前記ダミーチップへ流れることを特徴とする。

【0010】また半導体装置は、半導体デバイスで実現する各種機能を備えた機能素子と、半導体デバイスを作り込むことが可能な素材であり前記各種機能を持たないダミーチップと、前記機能素子と前記ダミーチップとを電気的に接続し、隙間無く搭載した実装基板とを備えることを特徴とする。

【0011】

【発明の実施の形態】本発明の実施例の構成を図1～図4を参照し詳細に説明する。図1は、本発明の実装基板のチップ配置図を示す。図2は、本発明のダミーチップの断面を示す図である。図3は、本発明のダイオードをアレイ状に並べた図である。図4は、本発明のダイオード接続を示す図である。

【0012】本発明の半導体装置は、図1に示すように機能素子10とダミーチップ12とを実装基板14へ搭載するものである。実装基板14には、DRAM、Flash、Bip、MPU等の機能素子10を搭載したチップの他、I/O専用チップが搭載され、機能素子の存在しないダミーチップ12を1つ以上配置する。この時、各チップの膜厚は出来る限り薄く均一になる様に加工されている。

【0013】しかしながら各チップの大きさは様々であり、機能素子10だけを実装基板14に配置した場合、隙間チップ間に隙間が発生してしまう場合が生じる。この隙間を埋める様に、機能素子10と同じ膜厚をもつ機能素子10の存在しないダミーチップ12を1つ以上配置する。これによりチップ間に広い隙間が生じることを防止できる。このダミーチップ12は、配線形成時の電荷の逃がし領域としてダイオード素子を形成しておく。

【0014】図1に示されるように、全てのベアチップを近接させて配置した実装基板において、チップ間に広い隙間が出来ないようにダミーチップ12を配置する必要がある。ダミーチップ12上にはチップ間配線が形成されるが、チップ間配線形成時にドライエッチングやCVD等のプラズマ処理を行う場合は、配線がアンテナとなって電荷を集めてしまい、その配線に接続されたトランジスタが破壊されてしまうという問題がある。ダミーチップ中に保護ダイオードを設けることにより、このチャージアップによるデバイスの破壊を防止する役目がある。

【0015】ダイオード素子の形成方法は、図2に示すようにP型シリコンにLOCOS (Local Oxidation of Silicon) 法を用いて局所酸化(3000Å)を行い、拡散層の窓を開けておく。その後、前面にリンもしくはヒ素を注入し、拡散層部の0.6μm程度のコンタクトホールを開口する。この後、コンタクトホールを覆うために全面にSi(300Å)

A), TiN(1000Å), AlSiCu(5000Å)の順にスパッタを行う。その後、Alのパターニングを行い、SiON(10000Å)/SiO₂(1200Å)構造のカバー膜を形成する。

【0016】このダイオード素子は、図3に示すようにダミーチップ全面にアレイ状に並べておく。4枚のマスクを用いることによりダイオード素子を搭載したダミーチップが完成する。このときダイオードの数は、多い方がよい。

【0017】次に、以下に各機能素子を搭載した複数のチップを1つの基板上に搭載し、半導体前工程と同様な方法で配線を行うシステム オン ア モジュールの製造手順を説明する。

【0018】まず従来からの公知の方法にて目的とするLSIチップを別々に作成する。作成するLSIの種類は、DRAM、Flash、Bip、MPU等のデバイスで構成し、その目的に合わせてどのような組み合わせを用いても構わない。この時、各チップにはI/Oを搭載せず、I/O専用チップを準備するのが理想的である。また、GaAs等のSi以外の素材を用いても構わない。各チップはそれぞれ最適な拡散プロセスにて製造される。(DRAMは微細加工重視、Flashは信頼性重視、MPUは高速度及び多層配線重視である。これらを1チップに混載するシステム オン ア チップは、チップサイズ増大による歩留まり低下、各機能の最適製造プロセスのミスマッチによる性能劣化、コスト増大、長TAT化を引き起こす。)この後公知の方法によりウエハーからチップを分離する。この時チップの膜厚は出来る限り薄くするのが望ましい。一般にウエハー裏面を公知の方法を用いて250μm程度に研削し、チップを切り離した後公知の方法にて裏面のエッチング処理を施し100μm以下になる様薄膜化する。この段階でチップは、母体チップとして保管される。この時メモリーチップ等は、容量に応じて複数のチップサイズを揃えておく必要がある。

【0019】この後、公知の方法にて実装基板上の各々のベアチップを数μm間隔に近接させ、かつ表面の高さを合わせて固定する。機能素子10だけで全てのチップ間隔を近接出来無い場合は、ダイオード素子入りのダミーチップ12を空白領域に搭載する。

【0020】この後、チップ間に存在する溝を埋め込む平坦化処理を行う。チップ間の埋め込みは、公知の方法である液体系SiO₂を溝の中に流し込み固化する方法、サランラップ状の薄い絶縁シートを表面に貼りつける方法、はけ状のもので接着剤を表面に塗り溝の中に接着剤を流し込む方法等がある。この時チップ間に段差が発生してしまう。この場合、半導体前工程と同じプレーナ技術によるチップ間配線が不可能になり、システム オン ア モジュールは実現できない。

【0021】この後、図4に示すように半導体前工程と

同様な手法を用いてチップ間配線を行う。必要箇所にコンタクトをとりダイオード接続を行う。この時、ダミーチップ上を走るチップ間配線はmm単位の長さを持っており、配線形成時に多くのプラズマダメージにさらされる。チャージアップにより配線に電荷が溜まり、逃げ場を失った電荷がその配線に接続されているトランジスタのゲート酸化膜を破壊してしまう。一般に（配線の側面積）／（接続されているゲート酸化膜の面積）比が1000を超えるとゲート酸化膜破壊による歩留まり低下が発生する。ゲート酸化膜破壊が疑われる配線をダミーチップ上のダイオード素子に接続させておくと、配線中に溜まった電荷はダミーチップに逃げることでトランジスタの破壊を防止できる。

【0022】次に、本発明の他の実施例を説明する。上述のダミーチップには、チップ間配線形成時のプラズマダメージから機能素子を守るため、電荷の逃がし領域を設ける構造であっても構わない。具体的には、ダミーチップをP型Si基板にて形成し、その中に多数のN型の領域を設けておく構造である。これは機能素子としては役に立たないが、チップ間配線とN型領域とをつなげることで配線形成時のプラズマダメージから機能素子

を保護することができる。

【0023】

【発明の効果】本発明の半導体装置は、配線形成時に多くのプラズマダメージにさらされるため、ゲート酸化膜破壊が疑われる配線をダミーチップ上のダイオード素子に接続させておくことで、配線中に溜まった電荷をダミーチップに逃すことにより機能素子の破壊を防止することができる。ダミーチップにより機能素子間の隙間を小さくできる。また、これらにより歩留まりをあげることができ、デバイスの製造工程を短くすることが可能となる。

【図面の簡単な説明】

【図1】本発明の実装基板のチップ配置図を示す。

【図2】本発明のダミーチップの断面を示す図である。

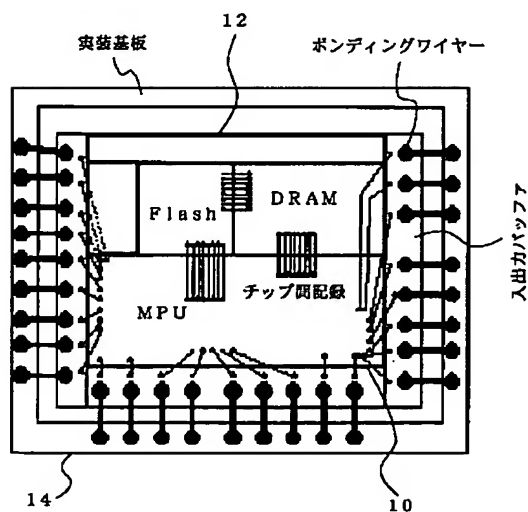
【図3】本発明のダイオードをアレイ状に並べた図である。

【図4】本発明のダイオード接続を示す図である。

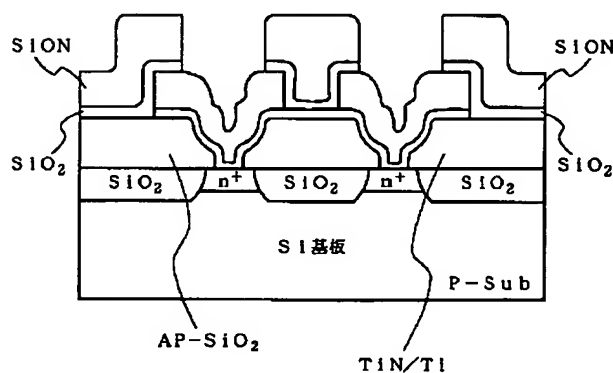
【符号の説明】

- 10 機能素子
- 12 ダミーチップ
- 14 実装基板

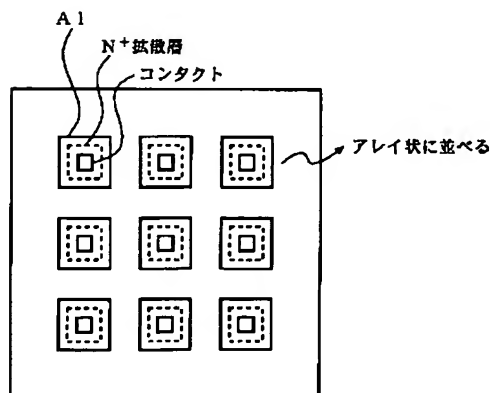
【図1】



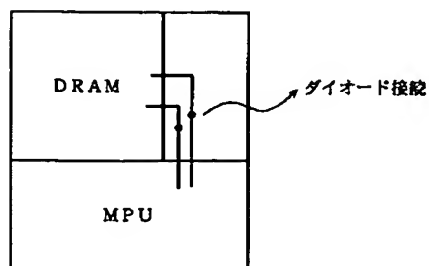
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 5F033 HH08 HH09 HH12 HH18 HH33
RR04 RR08 XX06
5F038 AV05 BH04 BH05 BH13 CA07
CA10 CA18 DF04 DF05 EZ20
5F083 AD00 CR00 ER22 GA21 LA10
LA25 MA01 MA19 ZA13 ZA14
ZA28